



(19)

(11) Publication number:

63114135 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 61258400

(51) Intl. Cl.: H01L 21/324 H01L 21/26

(22) Application date: 31.10.86

(30) Priority:

(43) Date of application
publication: 19.05.88

(84) Designated
contracting states:

(71) Applicant: OKI ELECTRIC IND CO LTD

(72) Inventor: ONODA HIROSHI

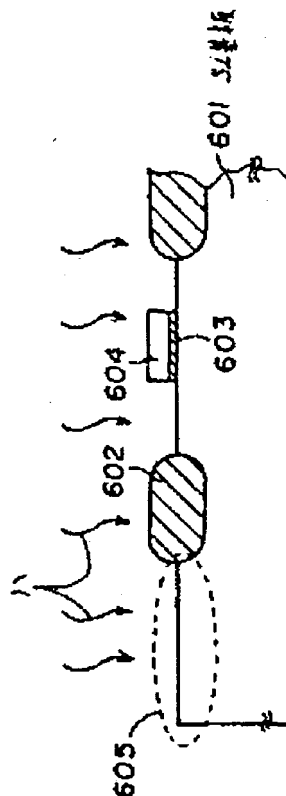
(74) Representative:

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57) Abstract:

PURPOSE: To prevent a semiconductor substrate from slipping in case of heat treatment thereby to uniformly heat treat it by ion implanting N- or P-type impurity partly to the front or rear surface of the substrate before the step of heat treating by a RTA method.

CONSTITUTION: After a field oxide film 602 is formed, a gate oxide film 603 and a gate electrode 604 are formed, a part 605 is exposed, and N- or P-type impurity ions are implanted to source, drain. Accordingly, the ions are implanted not only to the normal source, drain regions but to the end 605 of an Si substrate 601. Then, when a heat treatment is executed by an RTA (Rapid Thermal Annealing) method to activate the ion implanted impurity to the source, drain, the ion implanted part is enhanced in light absorptivity, and temperature profile in the surface of a semiconductor substrate during RTA step can be controlled. Thus, when the end part lower at temperature than the center of the substrate is ion implanted, the temperature is uniformized as a whole to entirely eliminate a slip.



COPYRIGHT: (C)1988,JPO&Japio

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-114135

⑬ Int. Cl.⁴

H 01 L 21/324
21/26

識別記号

庁内整理番号

Z-7738-5F
L-7738-5F

⑭ 公開 昭和63年(1988)5月19日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体素子の製造方法

⑯ 特 願 昭61-258400

⑰ 出 願 昭61(1986)10月31日

⑱ 発 明 者 鉄 田 博 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(1) R T A (Rapid Thermal Anneal) 法を用いて熱処理する工程を有する半導体素子の製造方法において、

この熱処理工程の前に、半導体基板の表面または裏面の一部の領域に n 型不純物または p 型不純物をイオン注入する工程を設けたことを特徴とする半導体素子の製造方法。

(2) 上記 n 型不純物または p 型不純物のドーズ量を $1 \times 10^{12}/\text{cm}^2 \sim 5 \times 10^{16}/\text{cm}^2$ 程度としたことを特徴とする特許請求の範囲第 1 項記載の半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体素子の製造方法、特に短時間高温熱処理方法に関するものである。

(従来の技術)

従来、半導体素子の製造工程において、イオン注入層のアニール、PSG フローなどの高温熱処理は電気炉を用いて行われてきた。しかしながら、最近では、より短時間の熱処理方法として、タングステン-ハロゲンランプ、 Ar -クランプ等を用いた Rapid Thermal Anneal 法 (R T A 法) が開発され、実用化されようとしている。

この R T A 法による装置を第 4 図に示す。この場合、半導体ウェーハ 101 の両面加熱型の装置を示すが、他にランプ 102 が片面だけにある装置もある。ランプ 102 より放射された光は、一部が石英チューブ 103 を通して半導体ウェーハ 101 に照射され、他の部分はミラー 104 で反射された後石英チューブ 103 を介して半導体ウェーハ 101 に照射される。半導体ウェーハ 101 に照射された光は、一部が半導体ウェーハ 101 に吸収され、他の部分は半導体ウェーハ 101 で反射もしくは透過され、再びミラー 104 へ至り、多重反射が繰り返される。この結果、半導体ウェーハ 101 の温度が短時間に上昇し、熱処理が行

われることになる。半導体ウェーハ101の上昇した温度はパイロメータ(Pyrometer)105もしくは熱電対を直接半導体ウェーハ101に接触させることにより測定され、測定された温度をランプ102の入力に帰還することにより、熱処理温度が制御される。

(発明が解決しようとする問題点)

しかしながら、上記したRTA装置では、熱処理が秒単位のオーダーであることから、半導体ウェーハ101内での温度の均一性を得ることが難しい。特に、半導体ウェーハ101の端部においては、第5図に示すように光の入射イがほとんどないため光の放射口の量が多くなり、該端部の温度は半導体ウェーハ101の中心部に比較して低温となる。又、半導体ウェーハ101を支持する石英ピン(図示せず)が端部に接触する場合、熱伝導によりさらに低温となり、その結果、半導体ウェーハ101の端部へのスリップ(結晶のすべり変形)が発生する。この温度の不均一性を改良するため、ミラー104の反射率を半導体ウェー

表面の一部に不純物をイオン注入した後にRTAによる熱処理を行っており、RTA中の半導体基板のイオン注入部分の光吸収率が高まり、加熱効率が上がる。

(実施例)

まず、この発明の基本例を説明する。半導体ウェーハの表面に A_0^+ 、 P^+ などのn型不純物または B^+ 、 G^+ などのp型不純物をドーピングし、このウェーハにRTA法による熱処理を行うと、このウェーハの温度はドーピングをしていない低不純物濃度のウェーハと比較して異なった値を示す。第6図は半導体ウェーハを形成するSiの表面より A_0^+ を80Kev、 $5 \times 10^{15}/cm^2$ または BF_2^+ を45Kev、 $5 \times 10^{15}/cm^2$ 注入した後、RTA法による熱処理を行ったときのSiの温度を、ウェーハ裏面よりパイロメータで測定した結果を示す。縦軸はイオン注入Siとイオンを注入していないBaro Siとの温度差 ΔT を示し、横軸は各設定RTA温度を示す。Baro Siに比べて、 A_0^+ を注入したSiでは7~11℃程度、 BF_2^+ を注入したSiでは2~4℃程度温度が高く

ハ101の端部に対応する部分で大きくすることにより該端部への光の入射量を増す方法、あるいは半導体ウェーハ101をヒータ入りの石英リングにより支持する方法などがあった。しかし、いずれの方法も、半導体ウェーハ101の径の変更に対して、ミラー104あるいはリング状ヒータを交換する必要があるとともに、半導体ウェーハ101の大口径化に対して対応することができず、スリップの発生を防止できなかった。

この発明は、以上述べたRTA法による熱処理に際し発生する半導体基板のスリップを防止し、半導体基板の均一な熱処理を行うことができる半導体素子の製造方法を提供することを目的とする。

(問題点を解決するための手段)

この発明は半導体素子の製造方法において、RTA法による熱処理工程の前に、半導体基板の表面または裏面の一部にn型またはp型不純物をイオン注入する工程を設けたものである。

(作用)

この発明においては、半導体基板の表面または

なる。これはイオン注入によりRTA中のSiの光吸収率が高まるためである。従って、イオン注入層を設けることにより、Siの一部領域を高温度とすることができる。

Siの一部領域を高温度とすることによる効果を示したのが第7図である。第7図は6"φ(100)Siの表面に端部約5mmを除いて A_0^+ を80Kev、 $5 \times 10^{15}/cm^2$ 導入し、その後RTA法により1150℃、30sec熱処理を行った場合のX線トポグラフ図を示し、aはイオン注入領域、bは非イオン注入領域であり、Siウェーハの端部よりスリップが発生していることがわかる。しかしながら、このスリップはイオン注入領域との界面で止まっており、イオン注入領域ではスリップの発生はない。この場合のRTA中のSiウェーハの温度分布は、第8図(a)に示すようになり、スリップの発生をウェーハ端部の数mm以内に限定できる。又、第8図(b)に示すようにウェーハ端部でさらに温度が高まる温度プロファイルが得られれば、スリップフリーを実現することが可能となる。

以下、具体的な実施例を説明する。第1図は第1の実施例を示し、Si基板601上にLOCOS工程によりフィールド酸化膜602を形成後、ゲート酸化膜603およびゲート電極604を形成しパターンニングした状態を示す。このとき、Si基板601の端部数mmの部分605をLOCOS工程でフィールド酸化膜602を設けずに露出させておく。この後、矢印ハに示すようにソース・ドレインにn型またはp型の不純物のイオン注入を行うと、通常のソース・ドレイン領域だけでなく、Si基板601の端部605にもイオンが注入される。これにより、次にソース・ドレインにイオン注入した不純物を活性化させるためにRTA法により熱処理を行うと、第8図(b)に示すようなSi基板601の面内の温度プロファイルが得られる。上記したイオン注入はソース・ドレインのイオン注入を兼ねるため、n型不純物の場合 A_0^+ または P^+ でDose量 $5 \times 10^{14} \sim 5 \times 10^{16}/\text{cm}^2$ 程度、p型不純物の場合 B^+ 、 BF^+ 、 BF_2^+ 、 G^+ でDose量 $5 \times 10^{14} \sim 5 \times 10^{16}/\text{cm}^2$ 程度となる。

Si基板801の裏面にレジスト802を塗布しパターンニングする。このパターンニング後、第2の実施例と異なりSiウェーハ801の端部数mmの部分803にレジスト802を残し、他の部分を露出させる。この後、n型またはp型不純物をSi基板801の裏面に矢印ホに示すようにイオン注入する。この結果、Si基板801の端部802を除き、不純物がドーピングされる。その後、レジスト802を除きRTAを行なうと、RTA工程中のSi基板801の面内温度プロファイルは第8図(a)のようになる。このときのイオン注入のドーズ量は第2の実施例と同じく、 $1 \times 10^{13}/\text{cm}^2$ 程度以上とすることにより、効果が得られる。

(発明の効果)

以上のようにこの発明によれば、半導体基板の表面または裏面の一部にイオン注入を行った後にRTA法により熱処理を行っており、半導体基板のイオン注入部分ではRTA工程中の光の吸収率が高まり、温度を高めることができる。このため、RTA工程中の半導体基板の面内温度プロファイ

第1の実施例では、ソース・ドレインに注入された不純物の活性化のためにRTA法による熱処理を施す例を示したが、この熱処理工程はソース・ドレイン注入後だけに行われるわけではない。第2図はより一般的な第2の実施例を示す。この例では、LSI製作工程の初めでRTA工程の前に、Si基板701の裏面にレジスト702を塗布してパターンニングし、パターンニングの結果Si基板701の端部数mmの部分703を露出させる。この後、n型またはp型不純物をSi基板701の裏面に矢印ニに示すようにイオン注入する。この結果、Si基板の端部703のみに不純物がドーピングされる。ここで、レジスト702を除去後、RTAによる熱処理を行うと、RTA中のSi基板701の面内温度プロファイルを第8図(b)に示すようにすることができる。このときのイオン注入のドーズ量は第1の実施例と異なり、比較的自由的なドーズ量をとることができ、 $1 \times 10^{13}/\text{cm}^2$ 程度以上であれば良い。

第3図はこの発明の第3の実施例を示し、LSI製作工程の初めであってももちろんRTA工程の前に、

ルが制御可能となり、通常半導体基板の中央部より温度が低い端部にイオン注入を行えば全面的に温度が均一になってスリップが全く生じなくなり、また半導体基板の中央部にイオン注入を行えば、スリップの発生を半導体基板の端部のみに限定することができる。

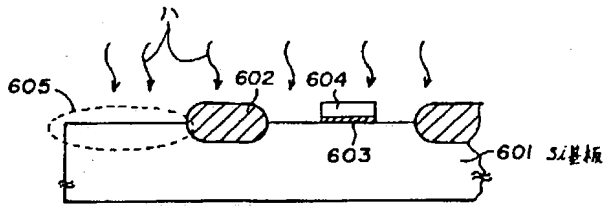
4. 図面の簡単な説明

第1図～第3図はそれぞれこの発明の第1～第3の具体的実施例の説明図、第4図はRTA装置の概略断面図、第5図はRTA工程中の半導体ウェーハへの光の入放射の説明図、第6図はRTA工程時のSiの温度特性図、第7図はこの発明による A_0^+ イオン注入SiのRTA後のX線トポグラフ図、第8図はこの発明による半導体ウェーハのRTA工程時の温度分布図である。

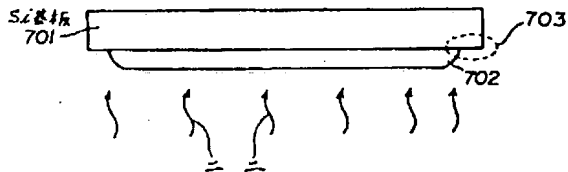
101…半導体ウェーハ、102…ランプ、103…石英チューブ、104…ミラー、601、701、801…Si基板。

特許出願人 沖電気工業株式会社

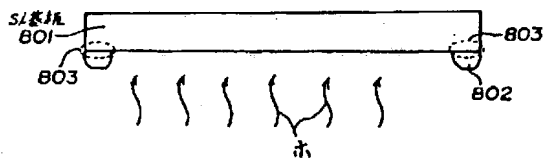
代理人 井理士 菊池 弘



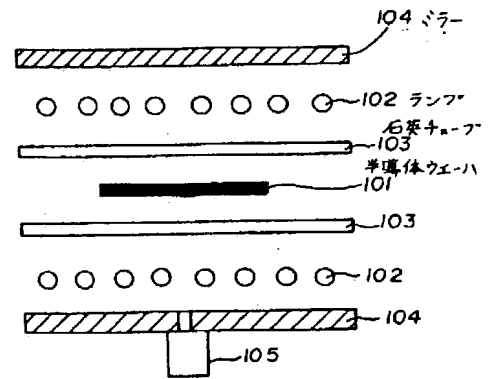
本発明の第1の実施例の説明図
第1図



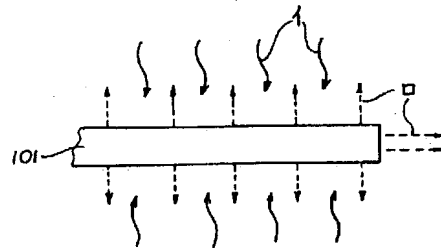
本発明の第2の実施例の説明図
第2図



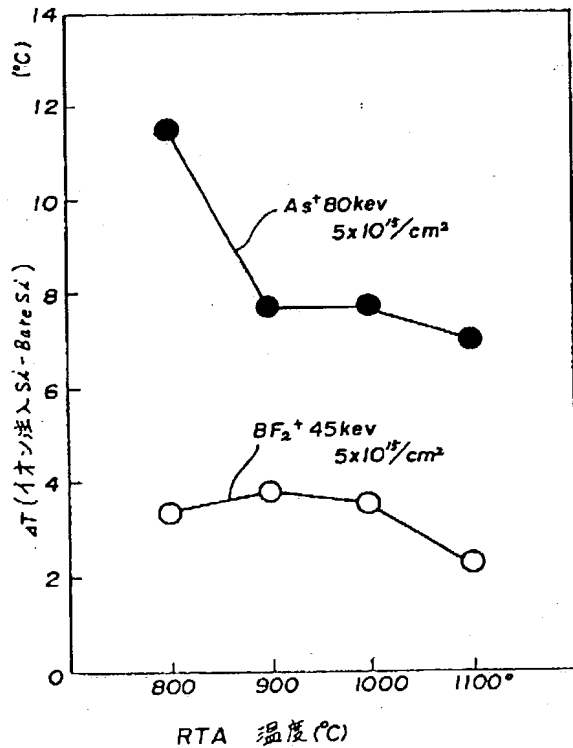
本発明の第3の実施例の説明図
第3図



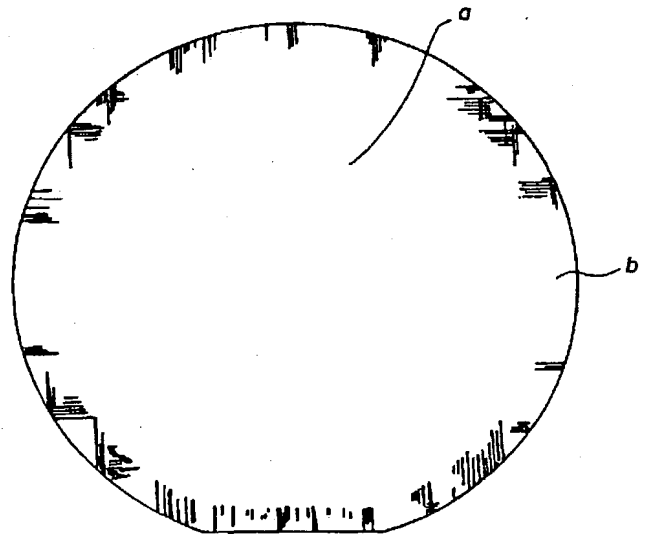
RTA装置の概略断面図
第4図



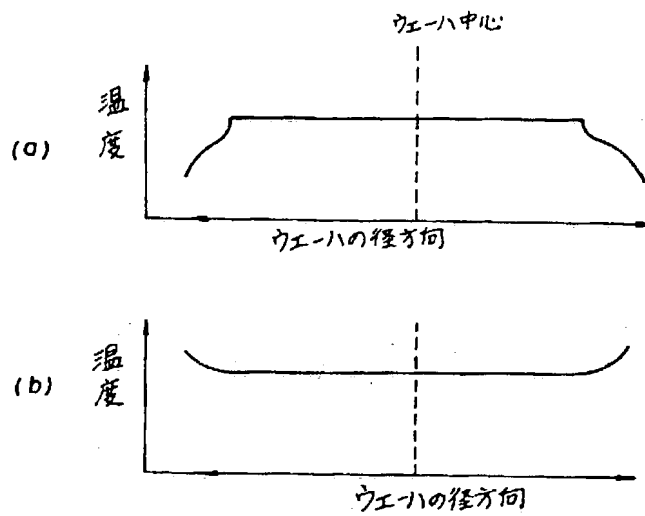
半導体ウェハへの光の入射図
第5図



RTA工程時のSiの温度特性図
第6図



本発明によるイオン注入SiのRTA後のX線ホログラム図
第7図



本発明によるウェーハの温度分布図
第 8 図